

УДК 621.382, 550.3

**ПРИМЕНЕНИЕ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ  
ПРИ РАЗРАБОТКЕ ГЕОФИЗИЧЕСКОЙ ИЗМЕРИТЕЛЬНОЙ АППАРАТУРЫ**

*О.А. Лашин*

Представлены первые результаты применения технологии программируемых логических интегральных схем (ПЛИС) при разработке геофизической измерительной аппаратуры в НС РАН. Применение ПЛИС позволило значительно снизить время на проектирование и изготовление цифровых устройств и блоков аппаратуры, на порядок снизить потребляемую мощность, при одновременном увеличении их функциональных возможностей.

*Ключевые слова:* программируемые логические интегральные схемы; аппаратурные разработки; электро-разведочный измерительный комплекс.

---

**APPLICATION OF PROGRAMMABLE LOGICAL INTEGRATED SCHEMES  
FOR DEVELOPMENT OF GEOPHYSICAL MEASURING EQUIPMENT**

*O. Lashin*

The paper presents first results of programmable logic integrated circuits (PLIC) technology application for geophysical measuring equipment designing in Research Station of the Russian Academy of Sciences in Bishkek city. PLIC use allowed significant time reduction for design and manufacture of digital devices and equipment units, the power consumption was reduced by an order of magnitude, while increasing their functionality.

*Keywords:* programmable logic integrated circuits; hardware development; electromagnetic prospecting measuring complex.

Основной задачей при разработке электронной аппаратуры, особенно если это аппаратура для научных исследований, является достижение заданных высоких технических характеристик и обеспечение гибкой оперативной их перестройки под изменяющиеся условия, возникающие в процессе разработки и проведения лабораторных и натурных экспериментов. Без применения современных новых технологий в области разработки электронной техники, решение задач, возлагаемых на аппаратурное обеспечение для научных исследований, становится невозможным. В представленной работе на примере разработки блока управления и регистрации сигналов (БУРС), входящего в состав нового современного электроразведочного измерительного комплекса с шумоподобными зондирующими сигналами (ЭРК ШПС) [1], создаваемого в НС РАН, показаны преимущества и высокая эффективность применения программируемых логических интегральных схем (ПЛИС) в проводимых в НС РАН аппаратурных разработках.

Работы по созданию ЭРК ШПС в НС РАН начались в 2010 году. В процессе разработки отрабатывались схемы и конструкция отдельных блоков и узлов измерительного комплекса, было изготовлено несколько макетов таких блоков и два макетных образца всего измерительного комплекса. В процессе макетирования электрических схем лабораторных и полевых испытаний макетных образцов, приходилось часто сталкиваться с ситуацией, когда для получения заданных технических параметров и характеристик измерительного комплекса требовалась практически полная переделка электрических схем, входящих в него блоков. Это приводило к большим затратам времени (от одного до шести месяцев и более) на макетирование и отработку новых электрических схем разработку и изготовление новых печатных плат и к дополнительным затратам на приобретение комплектующих электронных компонентов.

При поиске путей и способов ускорения процесса разработки создаваемой аппаратуры было обращено внимание на технологию ПЛИС,

предназначенную для проектирования цифровых узлов аппаратуры, которая уже достаточно долгое время применяется в телекоммуникационной аппаратуре и системах цифровой обработки сигналов, работающих в реальном времени. В сети Интернет, особенно в последнее время, появилось много информации о технологии ПЛИС, позволяющей значительно ускорить процесс разработки и изготовления новой электронной аппаратуры. Кроме того, для привлечения внимания к новым технологиям производители ПЛИС предоставляют пользователю для ознакомления с возможностями технологии готовые печатные узлы (отладочные платы) с ПЛИС, выполненные на многослойных печатных платах. Снижение времени, затрачиваемого на разработку и изготовление аппаратуры при использовании технологии ПЛИС обеспечивается за счет того, что отпадает необходимость многократного изготовления печатных плат при отработке (макетировании) электрических схем разрабатываемого устройства и при внесении изменений в них по результатам проведения лабораторных и полевых испытаний макетов. Вместо этого необходимо лишь внести коррективы в файл конфигурирования ПЛИС, написанный на одном из языков описания аппаратных средств (Verilog HDL, VHDL и др.), описывающим желаемую логику работы электрической схемы.

Появление технологии ПЛИС связывают с разработкой в 1967 г. микросхем ASIC (Application-Specific Integrated Circuit). Микросхема ASIC представляла собой интегральную схему, выполненную на заказ для решения конкретной задачи. ASIC обладали большой степенью интеграции и, как правило, небольшим набором высокопроизводительных функций. Разработка данных микросхем – дорогостоящий и долгий процесс, к тому же окончательный вариант оставался неизменным в кремниевом кристалле. Для его модификации было необходимо создавать новую версию кристалла. Примерно в конце 1970-х гг. после появления программируемых постоянных запоминающих устройств (ППЗУ), были созданы CPLD (Complex Programmable Logic Device). CPLD – это разновидность сложных программируемых устройств, содержащих относительно крупные программируемые логические блоки, соединенные с внешними выводами и внутренними шинами. Функциональность CPLD кодируется в энергонезависимой памяти. Усовершенствованные CPLD так же, как и ASIC, применяются и сегодня для решения узкоспециализированных задач. В 1980 г. фирмой Xilinx были начаты разработки по созданию промежуточного устройства, способного запол-

нить пробел между ASIC и CPLD. ASIC обладали способностью реализовывать сложнейшие функции, но были дорогостоящими при разработке. CPLD были недороги в производстве, однако неспособны поддерживать большие и сложные функции. Так в 1984 г. появился новый класс ПЛИС – FPGA (Field-Programmable Gate Array). Начиная с 1990 г. FPGA активно развиваются, вытесняя все предыдущие разновидности ПЛИС. С 1992 г. началось применение FPGA в космических технологиях NASA. Современные FPGA средней ценовой категории до 100 долл. США фирмы ALTERA содержат встроенные микропроцессорные ядра архитектуры ARM Cortex-A9, свыше трехсот блоков DSP (digital signal processor), блоки двух-портовой памяти, блоки PLL (Permutation of the Last Layer), высокоскоростные интерфейсы ввода/вывода, и т. д. Подобный набор устройств в одном кристалле в сочетании с высокой степенью параллелизма FPGA обеспечивает превосходство современных ПЛИС над самыми быстрыми сигнальными процессорами в 500 и более раз [2].

Несмотря на явные преимущества современных ПЛИС над другими видами вычислительных устройств, обрабатывающих данные в реальном времени, в странах СНГ и не только, внедрение подобных технологий происходит крайне «вяло». Современные ПЛИС могут находить применение практически в любой сфере, однако, как правило, применяются только в устройствах связи и сопутствующей узкоспециализированной цифровой обработке сигналов. Несмотря на общую тенденцию применения ПЛИС в промышленности, данная технология может применяться повсеместно в измерительных приборах, исследовательских измерительных комплексах, нацеленных на работу в различных областях науки. К примеру, при помощи технологии ПЛИС можно создавать измерительные комплексы для геофизических исследований, работающие автономно (без использования персональных компьютеров) в реальном времени, способных проводить сложнейшие вычисления за доли секунды, выдавая нужную информацию исследователю.

В данной работе была предпринята попытка заменить технологией ПЛИС большое число цифровых узлов нового измерительного комплекса ЭРК ШПС, выполненных на элементах малой степени интеграции. В перспективе применение ПЛИС в ЭРК ШПС позволит проводить различные виды цифровой обработки измеряемых физических величин в реальном времени, а также повысить функциональность и многозадачность комплекса. На рисунке 1 приведена структурно-

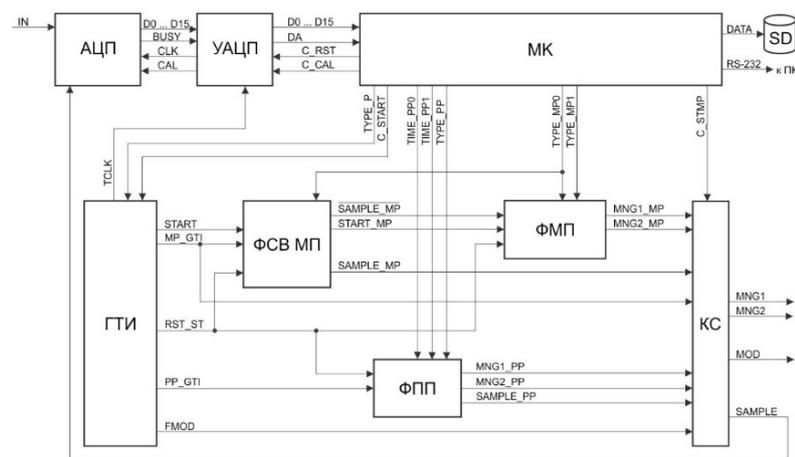


Рисунок 1 – Блок управления и регистрации сигналов, схема структурно-функциональная: АЦП – аналого-цифровой преобразователь; УАЦП – схема управления работой АЦП; МК – микроконтроллер; SD – карта памяти типа Micro SD Card; ГТИ – генератор тактовых импульсов; ФСВ МП – формирователь сигналов выборки для М-последовательности; ФМП – формирователь М-последовательности; ФПП – формирователь периодической последовательности; КС – коммутатор сигналов

функциональная схема блока управления и регистрации сигналов [3] ЭРК ШПС, узлы которого были спроектированы с помощью ПЛИС.

Блок управления и регистрации сигналов является важным (центральным) устройством измерительного комплекса. Основные функции, выполняемые БУРС:

- 1) формирование логических сигналов и команд, обеспечивающих переключение (настройку) рабочих режимов и синхронность работы, зондирующей и приемно-регистрирующей частей измерительного комплекса;
- 2) преобразование в цифровую форму сигналов отклика земной коры на осуществляемое воздействие, поступающих в блок управления и регистрации сигналов с выхода аналоговой части приемного канала измерительного комплекса;
- 3) сохранение, накопление и передача во внешний персональный компьютер цифровых данных, получаемых в процессе проведения измерительных сеансов по зондированию земной коры.

Принцип работы БУРС в данной работе не описывается (описание работы БУРС приведено в [3]), а структурная схема (рисунок 1) показана лишь для того чтобы показать, насколько сложные цифровые схемы необходимы для управления современными электроразведочными комплексами, и какую часть электроразведочного комплекса можно реализовать при помощи технологий ПЛИС.

Все электрические узлы БУРС, показанные на рисунке 1, кроме АЦП и микроконтроллера, осуществляющего запись данных на SD card в файловой системе FAT32, а также связь с ПК посредством интерфейса RS-232, были спроектированы на ПЛИС. Для количественной оценки числа дискретных компонентов, используемых в БУРС, перенесенных в ПЛИС составлена таблица 1. В ней для каждого функционального узла приведено количество используемых триггеров, логических элементов, выполняющих булевы операции (И, ИЛИ, НЕ), двоичных счетчиков, мультиплекторов и постоянных запоминающих устройств (ПЗУ).

Из данных таблицы 1 видно, что БУРС имеет большое количество дискретных элементов, что существенно сказывается на потреблении электрической энергии. Структурная схема БУРС, реализованного с использованием ПЛИС, приведена на рисунке 2.

Как видно на рисунке 2, вся цифровая часть БУРС, определяющая логику работы блока, перенесена на FPGA. Это позволяет при необходимости оперативно вносить изменения в логику работы блока путем корректировки файла конфигурирования FPGA, описывающего необходимую электрическую схему.

В качестве базы для проектирования БУРС на FPGA использовали отладочную плату DE0-Nano фирмы Terasic [4]. Структурная схема отладочной платы DE0-Nano приведена на рисунке 3. Фирма Terasic специализируется на изготовлении

Таблица 1 – Количество дискретных компонентов блока управления и регистрации сигналов

	D-триггер	И	И-НЕ	ИЛИ	ИЛИ-НЕ	НЕ	СТ4 <sup>1</sup>	MUX <sup>2</sup>	ПЗУ 256x8
ГТИ	7	8	–	4	3	–	–	–	–
УАЦП	6	3	–	5	3	18	–	–	–
ФМП	2	4	3	–	–	–	5	2	1
ФСВ-МП	19	16	–	–	12	–	–	–	–
ФПП	29	17	–	4	–	4	–	2	–
КС	2	4	2	4	–	–	–	–	–
Всего	65	52	5	17	18	22	5	4	1

Примечание: 1 – четырехразрядный двоичный счетчик типа 1533ИЕ19яяя

2 – мультиплексор 4-вх/1-вых.

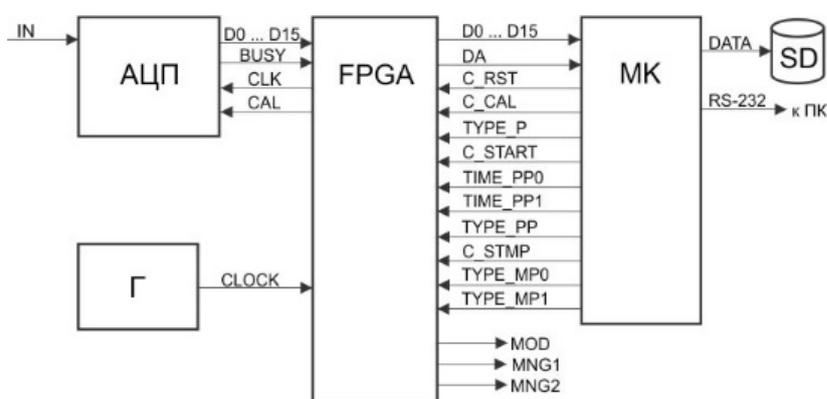


Рисунок 2 – Структурная схема БУРС с использованием FPGA

отладочных плат для ПЛИС фирмы Altera, снабжая их богатой периферией известных производителей таких как Analog Devices, Linear Technology, Silicon Labs, Technology, Panasonic и других лидеров в области создания современной полупроводниковой элементной базы.

Плата DE0-Nano выполнена на базе ПЛИС типа Cyclone IV EP4CE22F17C6N, со следующими основными характеристиками: логических элементов 22320, встроенной памяти 594 Kbit, 66 встроенных умножителей (18×18 бит), четырех блоков фазовой автоподстройки частоты. Проектирование логических схем в FPGA осуществляли при помощи программного обеспечения Quartus prime 17.1 Lite Edition, предоставляемого фирмой ALTERA. Программное обеспечение Quartus Prime имеет дружелюбный интерфейс, который хорошо описан в инструкции пользователя, доступной на официальном сайте [5].

В качестве языка проектирования использовали Verilog HDL [6], язык удобен своей простотой и лаконичностью описываемых модулей. Однако Quartus Prime поддерживает и другие языки про-

ектирования цифровых схем, такие как VHDL, System Verilog HDL и AHDL.

Следует отметить, что фирма ALTERA в Quartus Prime, в отличие Xilinx ISE/EDK, все еще поддерживает схемный графический редактор, в котором можно проектировать цифровые схемы путем соединения линиями библиотечных компонентов, таких как триггеры, регистры, логические элементы и т.д. Схемный графический редактор может быть полезен начинающим при изучении цифровой электроники, но, как правило, для описания сложных схем не используется, что можно объяснить лишней тратой времени на перерисовку схемы при необходимости что-то в ней изменить. Также специалисты, решающие сложные задачи, пытаются оптимизировать работу схемы и редко прибегают к универсальным библиотечным модулям.

После изготовления макетного образца БУРС, выполненного на FPGA, была проведена проверка его на соответствие логике работы. Все технические характеристики соответствуют заданным. Макетный образец БУРС на FPGA обладает рядом существенных преимуществ:

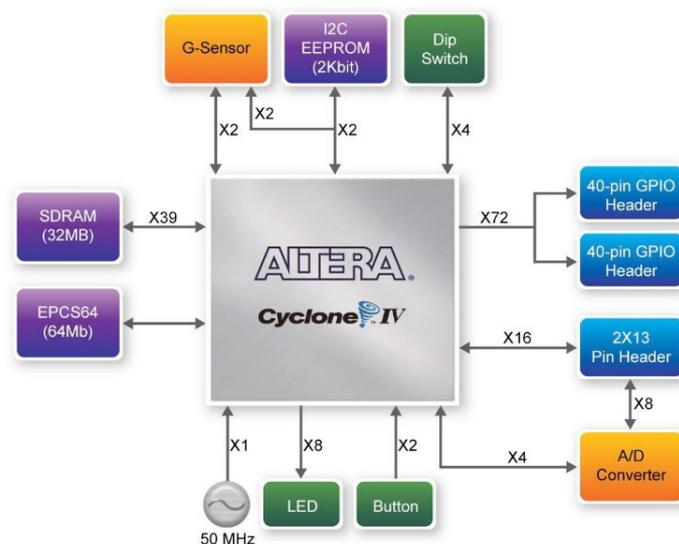


Рисунок 3 – Структурная схема отладочной платы DE0-Nano

уменьшились габариты в три раза, значительно снижен вес конструкции.

Несмотря на то, что применение ПЛИС для столь простой задачи оказалось избыточным (ресурсы используемой FPGA задействованы всего лишь на 1%), есть перспектива выполнить обработку сигналов измерительного комплекса в реальном времени. Особо хочется отметить тот факт, что применение ПЛИС при разработке цифровых узлов ЭРК ШПС позволяет сократить время разработки и отладки схем с месяцев на недели. При этом время изготовления блоков сокращается с недель на дни. Дополнительным преимуществом применения технологии FPGA является снижение потребляемой мощности почти на порядок (с 4,5 до 0,49 Вт).

#### Литература

1. Ильичев П.В. Применение шумоподобных сигналов в системах активной геоэлектроразведки (результаты математического моделирования и полевого эксперимента) / П.В. Ильичев, В.В. Бобровский // Сейсмические приборы. 2014. Т. 50. № 2. С. 5–19.
2. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца / К. Максфилд. М.: Изд. дом “Додэка-XXI”, 2007. 408 с.
3. Лашин О.А. Разработка блока управления и регистрации сигналов для геоэлектроразведочного измерительного комплекса с шумоподобными сигналами / О.А. Лашин // Матер. докл. IX межд. конф. молодых ученых и студентов. 2017. С. 82–92.
4. Компания TERCASIC. URL: <http://www.terasic.com> (дата обращения 05.03.2018).
5. Компания ALTERA. URL: <http://www.altera.com> (дата обращения 05.03.2018).
6. Verilog HDL Quick Reference Guide based on the Verilog-2001 standard (IEEE Std 1364-2001).